

DISEÑO DIGITAL ORIENTADO A LA SÍNTESIS USANDO LOGICA PROGRAMABLE Y VHDL

Tema 1: Análisis de la arquitectura de las FPGAs de las familias FLEX10K/10KE, y ACEX1K:

Arquitectura básica de las FPGAs. Esquema global. Tecnologías de lógica programable: dispositivos E2ROM en base a suma de productos, dispositivos SRAM en base a tablas de Look-Up (LUTs).

Esquema global: las macroceldas, las celdas de entrada salida, los recursos de conexionado.

Las macroceldas de las FLEX10K/10KE y ACEX1K: agrupamiento en LABs, la tabla de look-up, el registro. Líneas de control, register-packing, cadenas de Carry y Cascade, modos de operación.

Jerarquías de conexión: LAB local Interconnect, Row Interconnect, Column Interconnect.

Las celdas de entrada salida en las FLEX10K/10KE, ACEX1K. Bloques de RAM empotrados (EABs): cómo son, cómo se usan, para qué sirven.

Tema 2: Qué es un HDL?

HDLs discretos vs. continuos. Características de un HDL. Que ventajas da el uso de HDLs?

Qué es un “estilo de descripción de hardware”? Modelado por comportamiento y estructural

Estructura jerárquica: Instancias y Jerarquías, Diseño jerárquico, Encapsulamiento de módulos

Tema 3: Bases de VHDL

Elementos de léxico: identificadores, números y caracteres. Tipos, y Subtipos. Tipos definidos por enumeración, Tipos INTEGER y REAL, Tipos físicos. Tipos compuestos. Declaración de objetos en VHDL. Declaración de atributos, ejemplos de uso. Operadores

Tema 4: Estructuras de VHDL

La dupla “Entidad + Arquitectura”: Entidades: datos genéricos, las puertas. La arquitectura de una entidad VHDL.

Libraries” y “packages” en VHDL. La Library STD y el Package STANDARD. Tipos definidos en el package STANDARD. La Library IEEE y el Package IEEE.Std_logic_1164. Ejemplos.

Tema 5: Concurrencia

Qué son las Signals? Cómo se les asignan valores? Asignaciones simples a señales, asignaciones condicionales usando WHEN..ELSE, asignaciones condicionales usando WITH..SELECT.

Tema 6: de la concurrencia a la secuencialidad:

Las variables, las asignaciones secuenciales, las asignaciones concurrentes y procesos implícitos y explícitos.

Sentencias de control de procesos, asociadas a eventos: WAIT. Un Flipflop usando WAIT

Asignaciones a variables y a señales en un proceso.

Asignaciones condicionales: IF – THEN, su uso eficiente. Su uso en PROCESOS combinatorios.

Uso de CASE y comparación entre CASE y WITH..SELECT

Iteraciones usando LOOP, FOR LOOP y WHILE LOOP. Controles de LOOP: NEXT y EXIT.

Tema 7: Inferencia de elementos de memoria (voluntaria e involuntaria)

Asignaciones combinatorias incompletas: inferencia de elementos de memoria dentro/fuera de procesos.

Señales y de variables en procesos Combinatorios. Flipflops: las formas de definir el reloj.

Tema 8: Señales públicas, locales y procesos. Funciones de resolución.

Asignaciones concurrentes múltiples. Las funciones de resolución. Funciones de resolución en STD_LOGIC_1164.

Asignaciones múltiples a señales dentro de un proceso.

Tema 9: Otras estructuras y sentencias:

Overload de Operadores.

Los arrays: referencias a elementos y slices. Asignaciones a arreglos, uso de aggregates.

Arreglos multidimensionales. El tipo STRING. Concatenado. Ports tipo array, de rango indefinido

La sentencia GENERATE. Ejemplos. Diferencias entre FOR..GENERATE y LOOP.

ASSERT y REPORT. Ejemplo: test de salidas usando ASSERT. La sentencia NULL

Las funciones y los procedimientos. Subprogramas con parámetros de rango “abierto”

Tema 10: Tipos y Packages aritméticos. Uso eficiente de operadores aritméticos

DISEÑO DIGITAL ORIENTADO A LA SÍNTESIS USANDO LOGICA PROGRAMABLE Y VHDL

Uso eficiente de operadores aritméticos. Operaciones y tipos aritméticos
Qué incluye STD_LOGIC_ARITH.VHD? Y STD_LOGIC_SIGNED y STD_LOGIC_UNSIGNED?
Tipos SIGNED y UNSIGNED. Conversión de tipos aritméticos. STD_LOGIC__LOGIC_ARITH.

Tema 11: Herramientas para el diseño jerárquico

Diseño Jerárquico FLAT y Diseño Jerárquico TOP-DOWN. Las ventajas del Diseño Jerárquico.
Formas de reuso de archivos de diseño múltiples. Declaración de componentes en un package.
Invocación de Componentes: mapeo de la instancia por asociación posicional. Componentes con salidas sin conectar, Componentes con entradas sin conectar.

Tema 12: Ejemplos. Casos combinatorios

Voto por mayoría con 3 votantes, voto por mayoría parametrizado
Trascodificador Binario a GRAY. Comparador de 4 bits tipo 7485, su parametrización a N bits

Tema 13: Ejemplos. Uso de elementos de memoria

Interfase a Shaft Encoder Incremental, ejemplo usando LPMs, aumento 4x de la resolución.
Contadores Código GRAY, Contador Código GRAY genérico. Contadores Johnson
Contador Linear Feedback Shift Register. LFSR genérico, de 3 a 16 etapas
Generador/testeador de CRC, el caso del CRC-16. Cómputo paralelo de CRC-16 y de CRC-32.
Ejemplos: multiplicador iterativo por shift/suma, sumador "Carry-select", Aritmética serial: Sumador "Carry Save Adder", Sumador/restador, Complementador, Multiplicador con y sin signo.

Tema 14: Reglas generales de diseño para optimizar la performance

Técnicas de diseño eficaz usando HDLs

Tema 15: Diseño de testbenches

El tiempo en la asignación simple a señales. Modelización del tiempo. Distintos tipos de asignaciones (TRANSPORT e INERTIAL). Asignaciones demoradas: AFTER, TRANSPORT, INERTIAL, REJECT. Cómo es la resolución de asignaciones múltiples al buffer de una señal.
Creación de bancos de prueba (testbenches) usando VHDL. Qué es un "test bench"? Cómo se usa un HDL en el "test bench"? Los distintos esquemas de testbenches.
Generación de vectores de Test. Asignaciones simples y WAIT FOR; Vectores repetitivos y simétricos; repetitivos y asimétricos; usando algoritmos, mediante arrays, leyendo estímulos desde un archivo.
Test de las salidas del DUT. Test de salidas usando ASSERT, Test de salidas usando archivos.

Tema 16: Manejo de archivos en VHDL

El package Textio. Manejo de archivos en VHDL. Tipos y Subprogramas definidos en TEXTIO.
Manejo de archivos y textos: txt_util.vhd. Conversión de tipos en txt_util.vhd.
Atributos relacionados con TEXTIO. Ejemplos

Tema 17: El ambiente de desarrollo MAX+plus II

Editor de VHDL. Plantillas y sintaxis coloreada. Verificación de sintaxis. La ventana de mensajes.
Compilación funcional. Qué significa? Simulación funcional.
El editor de formas de onda. La generación de las ondas de estímulo. la verificación del comportamiento.
Compilación temporal. Asignaciones básicas (dispositivo y pines). Simulación temporal. Análisis de caminos críticos.
Analizador temporal: tiempos de setup y hold, retardos combinatorios, máxima frecuencia registrada. Asignaciones más complejas: opciones de síntesis lógica, cliques, otras.
Libraries ofrecidas por ALTERA. MAX+plus II: primitivas y macrofunciones. Ejemplos: uso de primitivas de MAX+plus II
Uso de LPMs en VHDL. Ejemplo de uso de LPMs